

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231938
(43)Date of publication of application : 16.08.2002

(51)Int.CI. H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/8238
H01L 27/092

(21)Application number : 2001-022133 (71)Applicant : HITACHI LTD
(22)Date of filing : 30.01.2001 (72)Inventor : MITANI SHINICHIRO
ICHINOSE KATSUHIKO
SAITO TOMOHIRO
YANAGIDA YOHEI

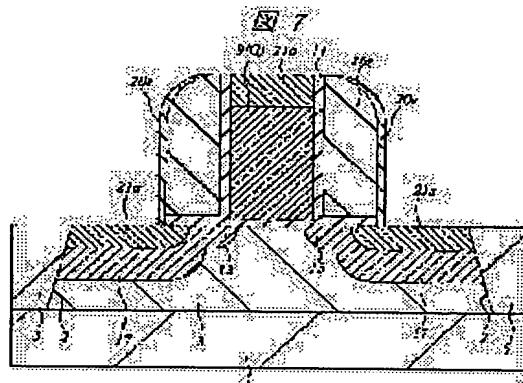
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a leakage current of a MISFET and reduce the fringe capacitance between the gate electrode and the source and drain region.

SOLUTION: On a side wall of a side wall film 16s which is a silicon oxide film formed on a side wall of a gate electrode G of a MISFET, a side wall film 20s consisting of a silicon nitride film which is hard to etch by a washing liquid for washing before a silicide reaction.

Thereafter, washing is conducted before silicide reaction to deposit CoSi₂ 21a. Consequently, the reduction of a film thickness of the side wall film 20s is made small and the distance between the source and drain region (17) and the CoSi₂ 21a can be secured, reducing the leakage current. Since the most part of the side wall films (16s, 20s) can be constituted of a silicon oxide film having a low relative permittivity, the fringe capacitance can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231938

(P2002-231938A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl.⁷

H 01 L 29/78
21/336
21/28
21/8238
27/092

識別記号

3 0 1

F I

H 01 L 21/28
29/78
27/08

3 0 1 T 4 M 1 0 4
3 0 1 P 5 F 0 4 0
3 2 1 E 5 F 0 4 8
3 2 1 F

テーマコード(参考)

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願2001-22133(P2001-22133)

(22) 出願日

平成13年1月30日 (2001.1.30)

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

三谷 真一郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者

一瀬 勝彦

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74) 代理人

100080001

弁理士 简井 大和

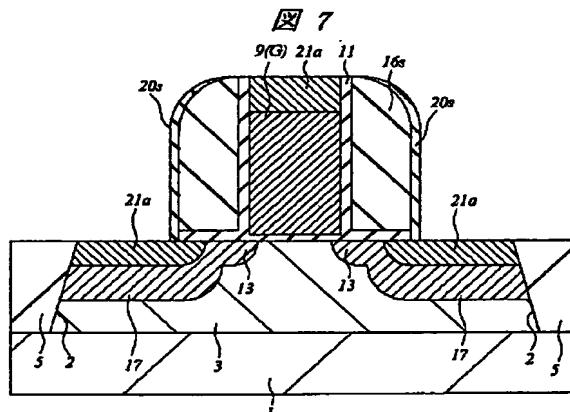
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 M I S F E T のリーク電流を防止し、また、ゲート電極とソース、ドレイン領域との間のフリンジキャパシタンスを低減する。

【解決手段】 M I S F E T のゲート電極 G の側壁に形成された酸化シリコン膜からなるサイドウォール膜 16 s の側壁に、シリサイド化前洗浄の洗浄液によりエッチングされ難い窒化シリコン膜からなるサイドウォール膜 20 s を形成した後、シリサイド化前洗浄を行い C o S i₂21 a を形成する。その結果、サイドウォール膜 20 s の膜減りを低減でき、ソース、ドレイン領域 (17) と C o S i₂21 a との距離を確保し、リーク電流を低減できる。また、サイドウォール膜 (16 s、20 s) の大部分を比誘電率の低い酸化シリコン膜で構成できるため、フリンジキャパシタンスを低減することができる。



リコン膜からなる第1のサイドウォール膜と、
 (c) 前記第1のサイドウォール膜をマスクに形成されたソース、ドレイン領域と、
 (d) 前記第1のサイドウォール膜の側壁に形成され、第2の酸化シリコン膜からなる第2のサイドウォール膜と、
 (e) 前記第2のサイドウォール膜をマスクに前記ソース、ドレイン領域上に形成された金属シリサイド層と、を有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、微細なMISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】前記MISFETのソース、ドレイン領域上には、ソース、ドレイン領域の抵抗を下げ、また、ソース、ドレイン領域上に形成されるプラグとの接触抵抗を下げるためにシリサイド層が形成されている。

【0003】例えば、1999 Symposium on VLSI Technology Digest of Technical Papers 5A-1 p.49-50には、LDD構造のソース、ドレイン領域を形成するための酸化シリコン膜からなるサイドウォール膜をマスクに、シリサイド層を形成する技術が記載されている。

【0004】

【発明が解決しようとする課題】しかしながら、シリサイド層を形成する前には、ソース、ドレイン領域上の自然酸化膜等をフッ酸等を用いて除去するため、この工程により前記サイドウォール膜の膜厚は薄くなる。その結果、追って詳細に説明するように、シリサイド層がソース、ドレイン領域の接合部に近接し、また、接合部を突き抜け、接合リーケが増加してしまうという問題が生じる。

【0005】一方、サイドウォール膜の膜減りを抑えるため、サイドウォール膜を窒化シリコン膜を用いて形成する方法が検討されている。窒化シリコン膜からなるサイドウォール膜については、2000 Symposium on VLSI Technology Digest of Technical Papers T15-1に、その記載がある。

【0006】しかしながら、窒化シリコン膜の比誘電率は、酸化シリコン膜の約2倍であるため、サイドウォール膜に窒化シリコン膜を用いた場合、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスが増加し、素子性能が低下する。特に、ゲート電極とドレインとの間は、電気的に逆位相となるので、この間の容量が大きくなると、信号の伝達速度が小さくなり、スイッチング特性が低下してしまう。

【0007】本発明の目的は、半導体集積回路装置の動

作速度を確保し、製品不良を低減させることにある。

【0008】本発明の他の目的は、半導体集積回路装置の消費電流を低減させることにある。

【0009】本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】(1) 本発明の半導体集積回路装置の製造方法は、(a)シリコン基板上に、ゲート絶縁膜を形成する工程と、(b)前記ゲート絶縁膜上に導電性膜を形成し、パターニングすることによってゲート電極を形成する工程と、(c)前記ゲート電極上を含むシリコン基板上に酸化シリコン膜を堆積する工程と、(d)前記酸化シリコン膜を、異方的にエッチングすることにより前記ゲート電極の側壁に第1のサイドウォール膜を形成する工程と、(e)前記シリコン基板、第1のサイドウォール膜およびゲート電極上に、窒化シリコン膜を堆積する工程と、(f)前記窒化シリコン膜を、異方的にエッチングすることにより前記第2のサイドウォール膜の側壁に第2のサイドウォール膜を形成する工程と、(g)前記第2のサイドウォール膜をマスクに前記シリコン基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、(h)前記ソース、ドレイン領域表面をフッ酸系の洗浄液を用いて洗浄する工程と、

(i)前記ソース、ドレイン領域上に、金属膜を堆積する工程と、(j)前記第2のサイドウォール膜をマスクにシリサイド化反応を起こさせることにより、前記ソース、ドレイン領域と前記金属膜との接觸部に金属シリサイド層を形成する工程と、(k)未反応の前記金属膜を除去する工程と、を有する。

【0012】このような手段によれば、フッ酸系の洗浄液による第2のサイドウォール膜の膜減りを防止することができ、ソース、ドレイン領域と金属シリサイド層との距離を確保し、リーケ電流を低く抑えることができる。また、第1および第2のサイドウォール膜の一部を、誘電率の低い酸化シリコン膜で占めることができるので、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができる。

【0013】(2) 本発明の半導体集積回路装置の製造方法は、酸化シリコン膜からなる第1のサイドウォール膜を形成した後、この第1のサイドウォール膜をマスクにソース、ドレイン領域を形成し、第1のサイドウォール膜の側壁に窒化シリコン膜からなる第2のサイドウォール膜を形成し、この第2のサイドウォール膜をマスクにシリサイド層を形成する。

【0014】このような手段によれば、フッ酸系の洗浄液による第2のサイドウォール膜の膜減を防止することができるとともに第2のサイドウォール膜の膜厚に対応

する距離、ソース、ドレイン領域と金属シリサイド層とを離間することができ、リーク電流を低く抑えることができる。また、第1および第2のサイドウォール膜の一部を、誘電率の低い酸化シリコン膜で占めることができるので、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができる。

【0015】(3) 本発明の半導体集積回路装置の製造方法は、第1の酸化シリコン膜からなる第1のサイドウォール膜を形成した後、この第1のサイドウォール膜をマスクにソース、ドレイン領域を形成し、第1のサイドウォール膜の側壁に第2の酸化シリコン膜からなる第2のサイドウォール膜を形成し、この第2のサイドウォール膜をマスクにシリサイド層を形成する。

【0016】このような手段によれば、第2のサイドウォール膜の膜厚に対応する距離、ソース、ドレイン領域と金属シリサイド層とを離間することができ、リーク電流を低く抑えることができる。また、第1および第2のサイドウォール膜全体を、誘電率の低い酸化シリコン膜で占めることができるので、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができる。

【0017】(4) 本発明の半導体集積回路装置は、(a) シリコン基板上にゲート絶縁膜を介し形成されたゲート電極と、(b) 前記ゲート電極の両側のシリコン基板中に形成されたソース、ドレイン領域と、(c) 前記ゲート電極の側壁に形成された第1の絶縁膜からなる第1のサイドウォール膜と、(d) 前記第1のサイドウォール膜の側壁に形成され、第2の絶縁膜からなる第2のサイドウォール膜と、(e) 前記第2のサイドウォール膜をマスクに前記ソース、ドレイン領域上に形成された金属シリサイド層と、を有し、(f) 前記第1の絶縁膜は、前記第2の絶縁膜より誘電率が低い。

【0018】(5) 本発明の半導体集積回路装置の製造方法は、(a) シリコン基板上にゲート絶縁膜を介し形成されたゲート電極と、(b) 前記ゲート電極の側壁に形成された第1の酸化シリコン膜からなる第1のサイドウォール膜と、(c) 前記第1のサイドウォール膜をマスクに形成されたソース、ドレイン領域と、(d) 前記第1のサイドウォール膜の側壁に形成され、第2の酸化シリコン膜からなる第2のサイドウォール膜と、(e) 前記第2のサイドウォール膜をマスクに前記ソース、ドレイン領域上に形成された金属シリサイド層と、を有する。

【0019】このような手段によれば、ソース、ドレイン領域と金属シリサイド層とが離間されているので、リーク電流を低く抑えることができ、また、第1および第2のサイドウォール膜の一部もしくは全部を、誘電率の低い酸化シリコン膜で占めることができるので、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができる。

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0021】(実施の形態1) 本実施の形態の半導体集積回路装置の製造方法を図1～図7を用いて説明する。

【0022】まず、図1に示すように、シリコン基板1中に素子分離2を形成する。この素子分離2は、以下のように形成する。例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなるシリコン基板1をエッチングすることにより深さ250nm程度の素子分離溝を形成する。

【0023】その後、シリコン基板1を約1000℃で熱酸化することによって、溝の内壁に膜厚10nm程度の薄い酸化シリコン膜(図示せず)を形成する。この酸化シリコン膜は、溝の内壁に生じたドライエッティングのダメージを回復すると共に、次の工程で溝の内部に埋め込まれる酸化シリコン膜5とシリコン基板1との界面準位を低減するために形成する。

【0024】次に、溝の内部を含むシリコン基板1上にCVD(Chemical Vapor deposition)法で膜厚450～500nm程度の酸化シリコン膜5を堆積し、化学的機械研磨(CMP; Chemical Mechanical Polishing)法で溝の上部の酸化シリコン膜5を研磨し、その表面を平坦化する。

【0025】次に、シリコン基板1にp型不純物(ホウ素)およびn型不純物(例えばリン)をイオン打ち込みした後、約1000℃の熱処理で上記不純物を拡散させることによって、シリコン基板1にp型ウエル3およびn型ウエル(図示せず)を形成する。

【0026】次に、シリコン基板1のp型ウエル3の主表面にnチャネル型MISFETを形成する。

【0027】まず、図2に示すように、フッ酸系の洗浄液を用いてシリコン基板1(p型ウエル3)の表面をウェット洗浄した後、約800℃の熱酸化でp型ウエル3の表面に清浄なゲート酸化膜6(ゲート絶縁膜)を形成する。

【0028】次に、ゲート酸化膜の上部に膜厚250nm程度の多結晶シリコン膜9をCVD法で堆積する。次に、フォトレジスト膜(図示せず)をマスクにして多結晶シリコン膜9をドライエッティングすることによりゲート電極Gを形成する。

【0029】次に、図3に示すように、ライト酸化によりゲート電極G(多結晶シリコン膜9)の側壁およびシリコン基板1上に2nm程度の薄い酸化膜(以下、ライト酸化膜という)11を形成する。このライト酸化膜11は、ゲート電極Gのエッティング時に、ゲート酸化膜6の端部に生じた欠陥を修復するために形成する。

【0030】次に、p型ウエル3上のゲート電極Gの両

側にn型不純物（ヒ素）を10KeVのエネルギーで、
1. $0 \times 10^{15} / \text{cm}^2$ 程度注入した後、950°Cで、
1秒間の熱処理を施し、n型半導体領域13を形成する。

【0031】次いで、図4に示すように、シリコン基板1上にLP-CVD (Low Pressure-Chemical Vapor Deposition) 法で膜厚100nm程度の酸化シリコン膜16を堆積し、異方的にエッチングすることによって、ゲート電極Gの側壁にサイドウォール膜16s（第1のサイドウォール膜）を形成する。このサイドウォール膜16sの膜厚は、60nm程度である。ここで、サイドウォール膜の膜厚とは、サイドウォール膜下部のゲート長方向の厚さをいう。

【0032】続いて、図5に示すように、シリコン基板1、サイドウォール膜16sおよびゲート電極G上に、LP-CVD法により膜厚15nm程度の窒化シリコン膜20を堆積し、異方的にエッチングすることによって、ゲート電極G（サイドウォール膜16s）の側壁にサイドウォール膜20sを形成する。このサイドウォール膜20sの膜厚は、7nm程度である。

【0033】次に、サイドウォール膜20sをマスクに、p型ウエル3にn型不純物（ヒ素）を50KeVのエネルギーで、4. $0 \times 10^{15} / \text{cm}^2$ 程度注入し後、950°Cで、1分間の熱処理を施すことによってn⁺型半導体領域17（ソース、ドレイン領域）を形成する。また、この際、ゲート電極9Gを構成する多結晶シリコンがn⁺型となる。

【0034】次いで、フッ酸系の洗浄液を用いて、シリコン基板1の表面を洗浄することにより、シリコン基板1（n⁺型半導体領域17）およびゲート電極Gの表面の自然酸化膜を除去する（シリサイド化前洗浄）。

【0035】次いで、図6に示すように、スパッタ法により15nm程度のCo膜21を堆積し、窒素雰囲気中、500°Cで1分間の熱処理を施すことにより、シリコン基板1（n⁺型半導体領域17）とCo膜21との接触部およびゲート電極GとCo膜21との接觸部においてシリサイド化反応（CoSiの生成）をおこさせる。

【0036】次いで、未反応のCo膜を、NH₄OHとH₂O₂の混合溶液により、エッチングする。なお、この状態で、シリコン基板1（n⁺型半導体領域17）およびゲート電極G上に残存する層は、CoSi層である。続いて、窒素雰囲気中、800°Cで30秒間の熱処理を施すことにより、CoSi層を、低抵抗のCoSi₂層21aに変換させる（図7）。

【0037】このように、本実施の形態においては、サイドウォール膜16sの側壁に、窒化シリコン膜からなるサイドウォール膜20sを形成した後、前洗浄を行い、シリサイド化反応を施したので、ソース、ドレイン領域（n⁺型半導体領域17）とCoSi₂層21aとの接合面に近接し（図中の矢印部）、かかる場所においてリーク電流が生じる。

間を確保することができる。

【0038】即ち、サイドウォール膜16sのみの場合は、図8に示すように、サイドウォール膜の膜厚がシリサイド化前洗浄により小さくなってしまう。これは、サイドウォール膜16sが、酸化シリコン膜からなり、シリコン基板1上の自然酸化膜を除去するためのフッ酸系の洗浄液によってエッチングされてしまうからである。その結果、CoSi₂層21aが、ソース、ドレイン領域（n⁺型半導体領域17）の接合面に近接し（図中の矢印部）、かかる場所においてリーク電流が生じる。

【0039】図9は、接合リーク電流とその頻度との関係を示す図である。酸化シリコン膜でサイドウォール膜を構成した場合は、グラフ（a₁：○）に示すように、ゲート電極端部での接合リークのばらつきが大きい。これに対し、窒化シリコン膜と酸化シリコン膜でサイドウォール膜を構成した場合は、グラフ（b₁：●）に示すように、ゲート電極電極端部での接合リークのばらつきを低減でき、接合リーク電流値[A/length]も小さくすることができた。また、グラフ（a₂：△）、（b₂：▲）は、ゲート平坦部での接合リーク[A/area]を示す。この場合も、窒化シリコン膜と酸化シリコン膜でサイドウォール膜を構成した場合は、グラフ（b₂）に示すように、接合リークのばらつきを低減できた。

【0040】また、図10に示すように、サイドウォール膜を窒化シリコン膜で形成した場合（116s）には、窒化シリコン膜がフッ酸系の洗浄液によりエッチングされ難いため、サイドウォール膜116sの膜減りが少なく、ソース、ドレイン領域（n⁺型半導体領域17）とCoSi₂層21aとの間を確保することができる。

【0041】しかしながら、酸化シリコン膜の比誘電率は、約3.9であるのに対し、窒化シリコン膜の比誘電率は、約7.5と、2倍近くに及ぶ。従って、サイドウォール膜に窒化シリコン膜を用いた場合、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンス（C_f）が増加し、信号の遅延時間が大きくなる。

【0042】以下に、この遅延時間について、シュミレーションデータに基づき説明する。

【0043】図11は、フリンジキャパシタンス（C_f）と遅延時間との関係を示す図である。窒化シリコン膜でサイドウォール膜を構成した場合は、点（a）に示すように、C_fが、約0.15[fF/μm]、遅延時間が、約11.8[ps/stage]であるのに対し、窒化シリコン膜と酸化シリコン膜でサイドウォール膜を構成した場合は、点（b）に示すように、C_fが、約0.11[fF/μm]、遅延時間が、約10.8[ps/stage]となり、C_fおよび遅延時間ともに、低減することができた。なお、酸化シリコン膜でサイドウォール膜を構成した場合は、C_fが、約0.09[fF/μm]、遅延時間が、約10.5[ps/stage]である。

つた（点（c））。

【0044】図12は、インバータを構成するMISFETの飽和電流の逆数と遅延時間との関係を示す図である。なお、インバータを構成するMISFETの飽和電流の逆数とは、nチャネル型MISFETの飽和電流(Id_{satn})の逆数と、pチャネル型MISFETの飽和電流(Id_{satp})の逆数との和。 $(Id_{satn}^{-1} + Id_{satp}^{-1})$ であり、以下、 $1/Id_{sat}$ と以下略す。窒化シリコン膜でサイドウォール膜を構成した場合は、グラフ（a）に示すように、 $1/Id_{sat}$ が、約4.0～4.3[$\times 10^{-3} \mu\text{m}/\mu\text{A}$]程度、遅延時間が、約15[ps/stage]前後であるのに対し、窒化シリコン膜と酸化シリコン膜でサイドウォール膜を構成した場合は、グラフ（b）に示すように、 $1/Id_{sat}$ が、約3.5～3.6[$\times 10^{-3} \mu\text{m}/\mu\text{A}$]程度、遅延時間が、約11[ps/stage]となり、 $1/Id_{sat}$ および遅延時間ともに、低減することができた。また、遅延時間は、 $1/Id_{sat}$ に比例するので、サイドウォール膜に対する遅延時間と $1/Id_{sat}$ との関係を示すと図12中の実線のようになる。従って、これらの実線についての同じ $1/Id_{sat}$ に対する遅延時間の差が、フリンジキャパシタンスの影響を示すこととなる。

【0045】このように、本実施の形態によれば、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができ、また、遅延時間を低減することができる。その結果、このようなMISFETを用いた回路の動作の高速化を図ることができる。

【0046】（実施の形態2）本実施の形態の半導体集積回路装置の製造方法を図13～図15を用いて説明する。なお、図1～図4を用いて説明したサイドウォール膜16sの形成工程までは、実施の形態1の場合と同様であるためその説明を省略する。

【0047】まず、実施の形態1で説明した図4に示すゲート電極Gの側壁にサイドウォール膜16sが形成されたシリコン基板1を準備する。次いで、図13に示すように、サイドウォール膜16sをマスクとして、p型ウエル3にn型不純物（ヒ素）を50KeVのエネルギーで、 $4.0 \times 10^{15}/\text{cm}^2$ 程度注入し後、950℃で、1分間の熱処理を施すことによってn⁺型半導体領域17（ソース、ドレイン領域）を形成する。

【0048】次いで、図14に示すように、シリコン基板1（n⁺型半導体領域17）、サイドウォール膜16sおよびゲート電極G上に、LPCVD法により膜厚15nm程度の窒化シリコン膜20を堆積し、異方的にエッティングすることによって、ゲート電極G（サイドウォール膜16s）の側壁にサイドウォール膜20sを形成する。このサイドウォール膜20sの膜厚は、7nm程度である。

【0049】次いで、フッ酸系の洗浄液を用いて、シリコン基板1の表面を洗浄することにより、シリコン基板50

1（n⁺型半導体領域17）およびゲート電極Gの表面の自然酸化膜を除去する（シリサイド化前洗浄）。

【0050】次いで、スパッタ法により15nm程度のCo膜21を堆積し、窒素雰囲気中、500℃で1分間の熱処理を施すことにより、シリコン基板1（n⁺型半導体領域17）とCo膜21との接触部およびゲート電極GとCo膜21との接触部においてシリサイド化反応（CoSiの生成）をおこさせる。

【0051】次いで、未反応のCo膜を、NH₄OHとH₂O₂の混合溶液により、エッチングする。なお、この状態で、シリコン基板1（n⁺型半導体領域17）およびゲート電極G上に残存する層は、CoSi層である。続いて、窒素雰囲気中、800℃で30秒間の熱処理を施すことにより、CoSi層を、低抵抗のCoSi₂層21aに変換させる（図15）。

【0052】このように、本実施の形態においては、サイドウォール膜16sをマスクにソース、ドレイン領域（n⁺型半導体領域17）を形成した後、サイドウォール膜16sの側壁のサイドウォール膜20sをマスクに、シリサイド化反応を施したので、ソース、ドレイン領域（n⁺型半導体領域17）とCoSi₂層21aとの間を確保することができる。また、サイドウォール膜20sを窒化シリコン膜により形成したので、シリサイド化前洗浄によるサイドウォール膜20sの膜減りを低減でき、実施の形態1で説明したように、ソース、ドレイン領域（n⁺型半導体領域17）とCoSi₂層21aとの間を確保することができ、リーク電流を低減できる。

【0053】また、サイドウォール膜（16s、20s）のうち、その大部分を酸化シリコン膜からなるサイドウォール膜16sで構成したので、実施の形態1で説明したように、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができ、また、遅延時間を低減することができる。その結果、このようなMISFETを用いた回路の動作の高速化を図ることができる。

【0054】（実施の形態3）本実施の形態の半導体集積回路装置の製造方法を図16～図19を用いて説明する。なお、図1～図4を用いて説明したサイドウォール膜16sの形成工程までは、実施の形態1の場合と同様であるためその説明を省略する。

【0055】まず、実施の形態1で説明した図4に示すゲート電極Gの側壁にサイドウォール膜16sが形成されたシリコン基板1を準備する。次いで、図16に示すように、サイドウォール膜16sをマスクとして、p型ウエル3にn型不純物（ヒ素）を50KeVのエネルギーで、 $4.0 \times 10^{15}/\text{cm}^2$ 程度注入し後、950℃で、1分間の熱処理を施すことによってn⁺型半導体領域17（ソース、ドレイン領域）を形成する。

【0056】次いで、図17に示すように、シリコン基板1（n⁺型半導体領域17）、サイドウォール膜16

s およびゲート電極G上に、L P-C V D法により膜厚50 nm程度の酸化シリコン膜220を堆積し、異方的にエッチングすることによって、ゲート電極G（サイドウォール膜16 s）の側壁にサイドウォール膜220 sを形成する。このサイドウォール膜220 sの膜厚は、30 nm程度である。

【0057】次いで、フッ酸系の洗浄液を用いて、シリコン基板1の表面を洗浄することにより、シリコン基板1（n⁺型半導体領域17）およびゲート電極Gの表面の自然酸化膜を除去する（シリサイド化前洗浄）。この10洗浄の際、図18に示すように、サイドウォール膜220 sの表面がエッチングされ、サイドウォール膜220 sの膜厚は、15 nm程度となる。

【0058】次いで、スパッタ法により15 nm程度のC₆膜21を堆積し、窒素雰囲気中、500℃で1分間の熱処理を施すことにより、シリコン基板1（n⁺型半導体領域17）とC₆膜21との接触部およびゲート電極GとC₆膜21との接触部においてシリサイド化反応（C₆Siの生成）をおこさせる。

【0059】次いで、未反応のC₆膜を、NH₄OHとH₂O₂の混合溶液により、エッチングする。なお、この状態で、シリコン基板1（n⁺型半導体領域17）およびゲート電極G上に残存する層は、C₆Si層である。続いて、図19に示すように、窒素雰囲気中、800℃で30秒間の熱処理を施すことにより、C₆Si層を、低抵抗のC₆Si₂層21aに変換させる。

【0060】このように、本実施の形態においては、サイドウォール膜16 sをマスクにソース、ドレイン領域（n⁺型半導体領域17）を形成した後、サイドウォール膜16 sの側壁のサイドウォール膜220 sをマスクに、シリサイド化反応を施したので、ソース、ドレイン領域（n⁺型半導体領域17）とC₆Si₂層21aとの間を確保することができる。また、酸化シリコン膜からなるサイドウォール膜220 sのシリサイド化前洗浄による膜減りを考慮し、洗浄後に所望の膜厚となるよう、あらかじめ厚くサイドウォール膜220 sを形成したので、ソース、ドレイン領域（n⁺型半導体領域17）とC₆Si₂層21aとの間を確保することができ、リーク電流を低減できる。

【0061】また、サイドウォール膜（16 s、220 s）全体を比誘電率の低い酸化シリコン膜で構成したので、ゲート電極とソース、ドレイン領域とのフリンジキャパシタンスを低減することができ、また、遅延時間を低減することができる（図11、点（c）参照）。その結果、このようなM I S F E Tを用いた回路の動作の高速化を図ることができる。

【0062】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。50

特に、前記実施の形態においては、nチャネル型M I S F E Tを例に説明したが、pチャネル型M I S F E Tに、本発明を適用することも可能である。また、前記実施の形態においては、C₆膜を用いてC₆Si₂層21aを形成したが、他の金属膜（Ti膜等）を用いて金属シリサイド層（TiSi層等）を形成してもよい。

【0063】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0064】M I S F E Tのソース、ドレイン領域とその上部に形成される金属シリサイド層との距離を確保でき、リーク電流を低く抑えることができる。また、M I S F E Tのゲート電極とソース、ドレイン領域との間のフリンジキャパシタンスを低減することができる。

【0065】その結果、半導体集積回路装置の消費電流を低減させ、また、動作速度を確保し、製品歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図8】本発明の効果を説明するための図である。

【図9】本発明の効果を説明するための図である。

【図10】本発明の効果を説明するための図である。

【図11】本発明の効果を説明するための図である。

【図12】本発明の効果を説明するための図である。

【図13】本発明の実施の形態2である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図14】本発明の実施の形態2である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図15】本発明の実施の形態2である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図16】本発明の実施の形態3である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

13

【図17】本発明の実施の形態3である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【図18】本発明の実施の形態3である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

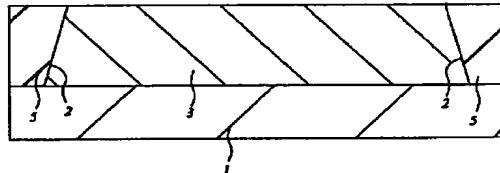
【図19】本発明の実施の形態3である半導体集積回路装置の製造方法を示すシリコン基板の要部断面図である。

【符号の説明】

- 1 シリコン基板
- 2 素子分離
- 3 p型ウエル
- 5 酸化シリコン膜

【図1】

図1



14

- * 6 ゲート酸化膜

- 9 多結晶シリコン膜

- G ゲート電極

- 11 ライト酸化膜

- 13 n-型半導体領域

- 16 酸化シリコン膜

- 16s サイドウォール膜

- 17 n+型半導体領域

- 20 窒化シリコン膜

- 20s サイドウォール膜

- 116s サイドウォール膜

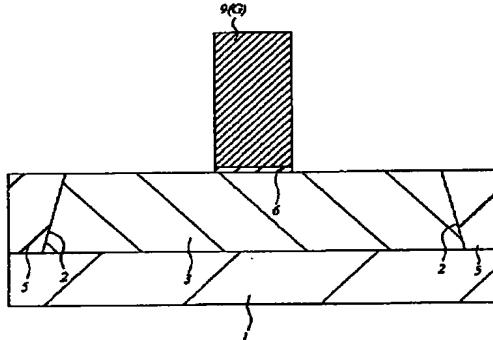
- 220 酸化シリコン膜

- 220s サイドウォール膜

*

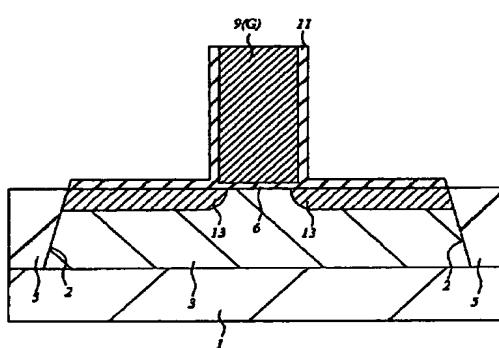
【図2】

図2



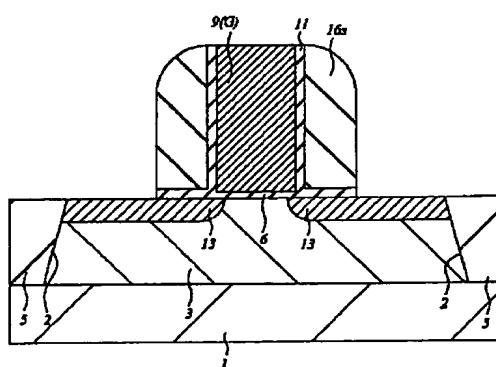
【図3】

図3

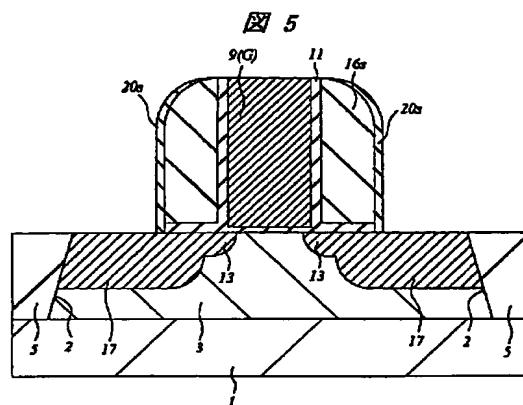


【図4】

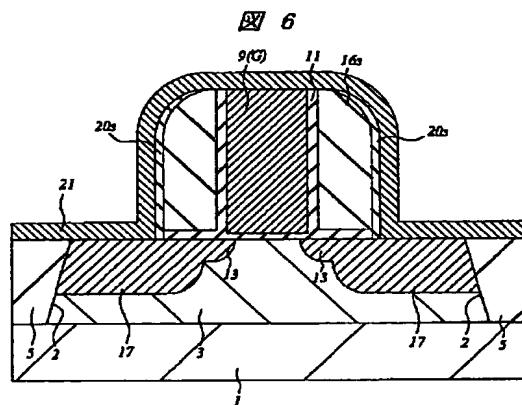
図4



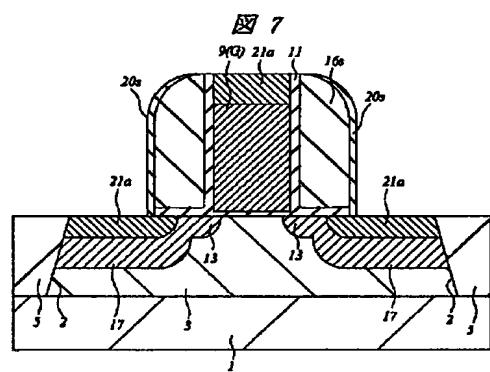
【図5】



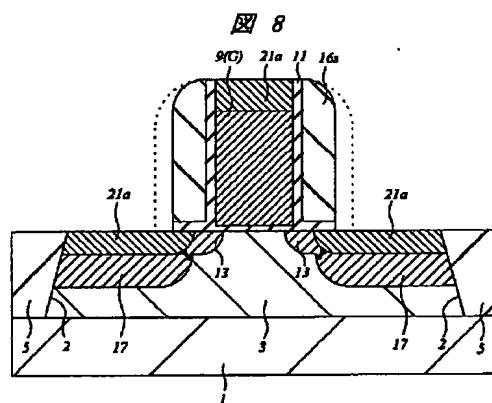
【図6】



【図7】

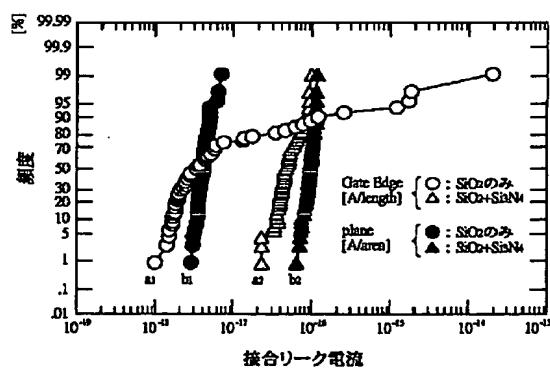


【図8】

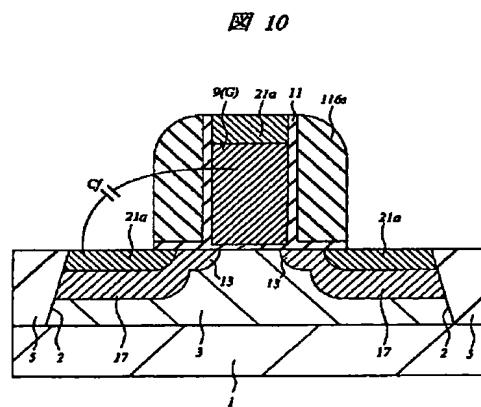


【図9】

図9

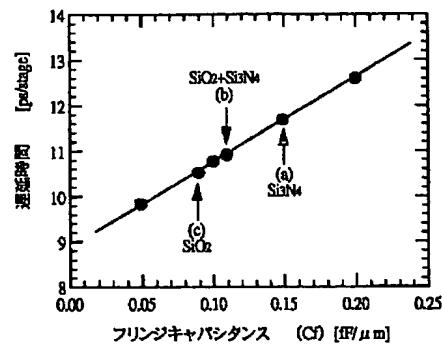


【図10】



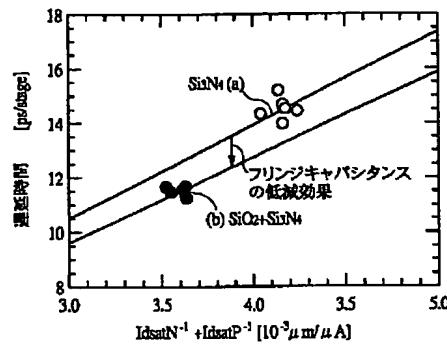
【図11】

図11



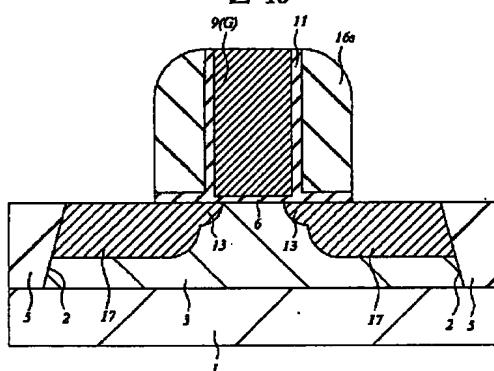
【図12】

図12



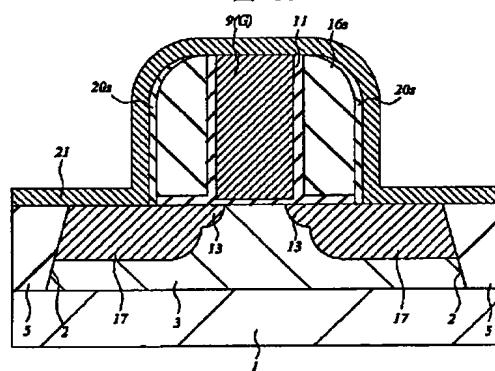
【図13】

図13



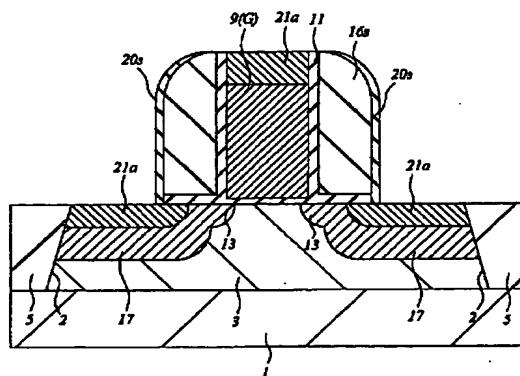
【図14】

図14



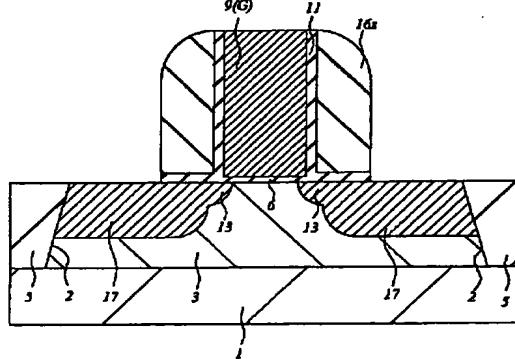
【図15】

図15

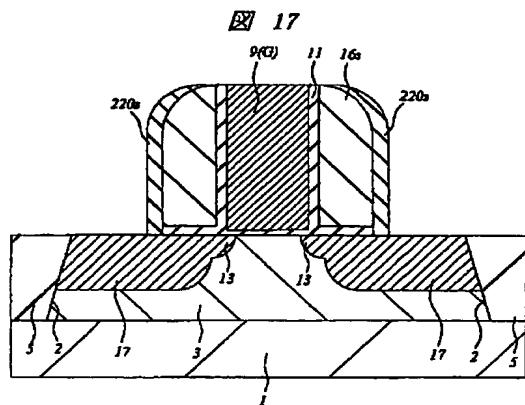


【図16】

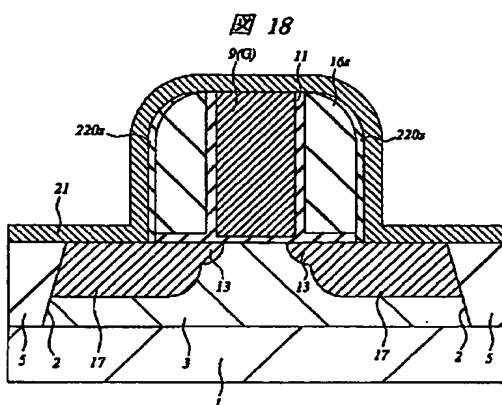
図16



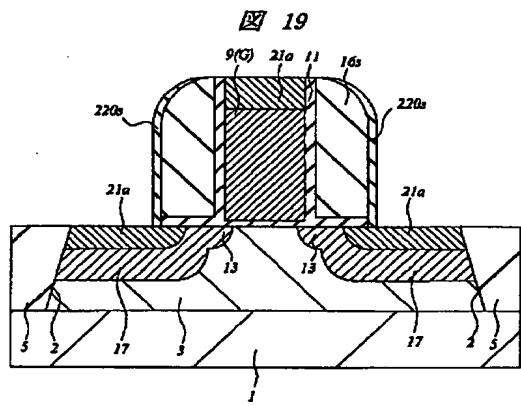
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 齊藤 朋広
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 柳田 洋平
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

F ターム(参考) 4M104 AA01 BB01 BB20 BB25 CC01
CC05 DD04 DD23 DD37 DD43
DD55 DD64 DD65 DD78 DD84
DD89 EE09 EE12 EE14 EE17
FF14 GG08 HH16 HH18
5F040 DA01 DA02 DA11 DB03 EC01
EC04 EC07 EC13 EF02 EH02
EK05 FA05 FA07 FA10 FB02
FB04 FC10 FC19 FC21
5F048 AC03 BA01 BB05 BB08 BB12
BC06 BE03 BF06 BG01 BG13
DA25